

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260389
(43)Date of publication of application : 03.10.1997

(51)Int.Cl. H01L 21/321
H01L 21/60

(21)Application number : 09-007669 (71)Applicant : TOSHIBA MICROELECTRON CORP
TOSHIBA CORP
(22)Date of filing : 20.01.1997 (72)Inventor : OKADA TAKASHI
HIRUTA YOICHI
TAZAWA HIROSHI
DOI KAZUHIDE
HIRANO NAOHIKO
TAKUBO TOMOAKI
HOSOMI HIDEKAZU
SHIBAZAKI YASUSHI

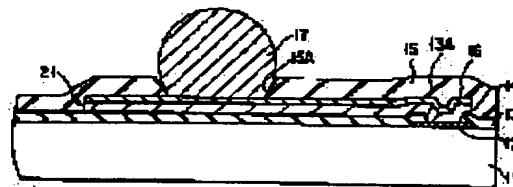
(30)Priority
Priority number : 08 6659 Priority date : 18.01.1996 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device and its manufacturing method, capable of reducing the cost of the flip chip connection between a bare chip and a wiring board, and capable of preventing the misconnection between the chip and the wiring board.

SOLUTION: A first insulating film 13 is formed on an integrated circuit chip 11 where an I/O pad 12 has been formed, and a first opening 13A is formed above the I/O pad 12. On this first insulating film 13, a conductive layer 14 to be connected electrically with the I/O pad 12 through the first opening 13A, and a barrier metal layer 16 are lamination-formed. The conductive layer 14 and the barrier metal 16 are patterned with the same mask. On the whole surface a second insulating film 15 is formed, and a second opening 15A is formed at a position different from the first opening 13A. And a solder bump 17 or metal pad is formed on the barrier metal layer 16 inside the second opening 15A. And the position of the solder bump 17 or metal pad is regulated by the second opening 15A.



LEGAL STATUS

[Date of request for examination] 08.09.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3323091
[Date of registration] 28.06.2002
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260389

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321			H 0 1 L 21/92	6 0 2 N
21/60	3 1 1		21/60	3 1 1 S
			21/92	6 0 2 J

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平9-7669
 (22) 出願日 平成9年(1997)1月20日
 (31) 優先権主張番号 特願平8-6659
 (32) 優先日 平8(1996)1月18日
 (33) 優先権主張国 日本 (J P)

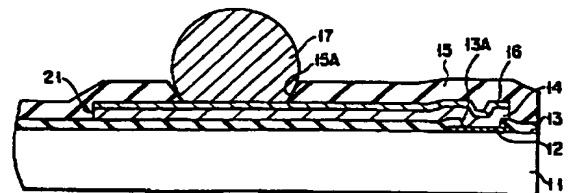
(71) 出願人 000221199
 東芝マイクロエレクトロニクス株式会社
 神奈川県川崎市川崎区駅前本町25番地 1
 (71) 出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72) 発明者 岡田 隆
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内
 (72) 発明者 蛭田 陽一
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内
 (74) 代理人 弁理士 鈴江 武彦 (外 6 名)
 最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【課題】 ペアチップと配線基板とのフリップチップ接続を低コスト化でき、チップと配線基板との接続不良を防止できる半導体集積回路装置及びその製造方法を提供することを目的とする。

【解決手段】 I/Oパッド12が形成された集積回路チップ11上に第1の絶縁膜13を形成し、I/Oパッド上に第1の開口部13Aを形成する。この第1の絶縁膜上に、第1の開口部を介してI/Oパッドと電気的に接続される導電層14とバリアメタル層16を積層形成する。導電層とバリアメタル層は、同一のマスクでパターニングする。全面に第2の絶縁膜15を形成し、第1の開口部と異なる位置に第2の開口部15Aを形成する。そして、第2の開口部内の上記バリアメタル層16上に、ハンダバンプ17または金属パッドを形成することを特徴とする。ハンダバンプ17または金属パッドの位置は、上記第2の開口部で規定する。



【特許請求の範囲】

【請求項1】 集積回路チップと、この集積回路チップ上に形成されたI/Oパッドと、上記集積回路チップ上及び上記I/Oパッド上に形成され、上記I/Oパッド上に第1の開口部を有する第1の絶縁膜と、上記第1の絶縁膜上に形成され、上記第1の開口部を介して上記I/Oパッドと電気的に接続される導電層と、この導電層上に形成され、上記導電層と同じパターンを有するハンダボール位置規定金属層またはバリア金属層と、上記ハンダボール位置規定金属層またはバリア金属層上及び上記第1の絶縁膜上に形成され、上記ハンダボール位置規定金属層またはバリア金属層上の上記第1の開口部と異なる位置に第2の開口部を有する第2の絶縁膜と、上記第2の開口部内の上記ハンダボール位置規定金属層またはバリア金属層上に形成されたハンダバンプまたは金属パッドとを具備し、上記ハンダバンプまたは金属パッドの位置を上記第2の開口部で規定することを特徴とする半導体集積回路装置。

【請求項2】 集積回路チップと、この集積回路チップ上に形成されたI/Oパッドと、上記集積回路チップ上及び上記I/Oパッド上に形成され、上記I/Oパッド上に第1の開口部を有する第1の絶縁膜と、上記第1の絶縁膜上に形成され、上記第1の開口部を介して上記I/Oパッドと電気的に接続される導電層と、この導電層上に形成され、上記導電層と同じパターンを有するハンダボール位置規定金属層またはバリア金属層と、上記ハンダボール位置規定金属層またはバリア金属層上に形成され、上記導電層及びハンダボール位置規定金属層またはバリア金属層と同じパターンを有し、上記ハンダボール位置規定金属層またはバリア金属層上の上記第1の開口部と異なる位置に第2の開口部を備えた第2の絶縁膜と、上記第2の開口部内の上記ハンダボール位置規定金属層またはバリア金属層上に形成されたハンダバンプまたは金属パッドとを具備し、上記ハンダバンプまたは金属パッドの位置を上記第2の開口部で規定することを特徴とする半導体集積回路装置。

【請求項3】 集積回路チップを形成する工程と、この集積回路チップ上にI/Oパッドを形成する工程と、上記集積回路チップ上及び上記I/Oパッド上に第1の絶縁膜を形成する工程と、上記第1の絶縁膜における上記I/Oパッド上に第1の開口部を形成する工程と、上記第1の絶縁膜上及び上記開口部内に導電層を形成する工程と、上記導電層上にハンダボール位置規定金属層またはバリア金属層を形成する工程と、上記ハンダボール位置規定金属層またはバリア金属層と上記導電層を同一のマスクを用いてパターンニングする工程と、上記ハンダボール位置規定金属層またはバリア金属層上及び上記第1の絶縁膜上に第2の絶縁膜を形成する工程と、上記第2の絶縁膜の上記第1の開口部と異なる位置に第2の開口部を形成し、上記ハンダボール位置規定金属層ま

たはバリア金属層を露出させる工程と、上記第2の開口部内の上記ハンダボール位置規定金属層またはバリア金属層上にハンダバンプまたは金属パッドを形成する工程とを具備することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 集積回路チップを形成する工程と、この集積回路チップ上にI/Oパッドを形成する工程と、上記集積回路チップ上及び上記I/Oパッド上に第1の絶縁膜を形成する工程と、上記第1の絶縁膜における上記I/Oパッド上に第1の開口部を形成する工程と、上記第1の絶縁膜上及び上記開口部内に導電層を形成する工程と、上記導電層上にハンダボール位置規定金属層またはバリア金属層を形成する工程と、上記ハンダボール位置規定金属層またはバリア金属層上に第2の絶縁膜を形成する工程と、上記第2の絶縁膜、上記ハンダボール位置規定金属層またはバリア金属層、及び上記導電層を同一のマスクを用いてパターンニングする工程と、上記第2の絶縁膜の上記第1の開口部と異なる位置に第2の開口部を形成し、上記ハンダボール位置規定金属層またはバリア金属層を露出させる工程と、上記第2の開口部内の上記ハンダボール位置規定金属層またはバリア金属層上にハンダバンプまたは金属パッドを形成する工程とを具備することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体集積回路装置を配線基板にバンプによって直接接続する、いわゆるフリップチップ接続型の半導体集積回路装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体集積回路装置のI/O数の増加や小型化傾向に対応するため、集積回路チップのI/Oパッドをベアチップのまま直接配線基板の対応するパッドと電気的に接続するフリップチップ接続による実装方法が用いられている。フリップチップ接続法では、まず、ベアチップの各I/Oパッド上にハンダの突起（バンプ）を形成し、ベアチップを裏向きにして配線基板上に配置して各ハンダバンプと配線基板の各パッドとを精度良く位置合わせする。そして、荷重を加えることでチップを配線基板に仮止めマウントする。しかる後、ハンダバンプの融点より高い温度雰囲気（例えば、ハンダをリフローすることで、ハンダバンプとパッドどうしをそれぞれ直接接続する。この方法により、I/Oパッドの数を増加させたり、各I/Oパッド間のピッチを微細化することができる。また、集積回路チップと配線基板間の接続距離が短くなるため、実装状態において集積回路の高速動作が可能になる。

【0003】 上記フリップチップ接続法を採用するにあたっては、半導体集積回路装置のI/Oパッドのピッチ

が微細(150 μ m以下)であるため、配線基板側のパッドを集積回路チップのパッドと同じピッチで十分精度良く形成する必要がある。しかしながら、配線基板側のパッドを高精度に形成することは難しく、たとえこのような高精度のパッドを有する配線基板を作成することが可能であったとしても、配線基板のコストが大幅に上昇する。しかも、微細なパッドピッチのために、隣接するパッド間のバンプがショートする危険性も増大する。

【0004】この問題に対処するために、集積回路チップの上層に配線を追加し、集積回路チップの元のI/Oパッドと新たに設けたI/Oパッドとを1対1で配線接続することによって、元来の集積回路チップのI/Oパッドとは別の位置に、フリップチップ接続のためのI/Oパッド(ハンダバンプ)を再配置して設ける方法が提案されている。

【0005】図17は、I/Oパッドを再配置した従来のフリップチップ接続型の半導体集積回路装置のI/Oパッド近傍の構造を抽出して示す断面図である。集積回路チップ1上のI/Oパッド2とパッシベーション膜3の上に、導電層4、絶縁膜5、ハンダボール位置規定金属層(BLM)あるいはバリアメタル層6、及びハンダバンプ7等が積層形成されている。I/Oパッド2は、上記導電層4と上記バリアメタル層6を介してハンダバンプ7と1対1で配線接続される。

【0006】しかしながら、このような構成を採用したフリップチップ接続型の半導体集積回路装置は、導電層4、絶縁膜5、バリアメタル層6及びハンダバンプ7をそれぞれ別々に形成する工程が必要であり、製造コストが上昇するという問題がある。また、ハンダバンプ7を電解メッキで形成する場合には、バリアメタル層6を絶縁膜5上の全面に形成してメッキ電極として使用し、しかる後にハンダバンプ7の下部以外に露出したバリアメタル層6をエッチングして除去するという方法がしばしば用いられる。この際、バリアメタル層6だけでなくハンダバンプ7の表面もエッチングされて接続に支障をきたしたり、バリアメタル層6のハンダバンプ7下の領域がサイドエッチングされてハンダバンプ7とバリアメタル層6との接続の信頼性が低下するという問題が生じる。

【0007】

【発明が解決しようとする課題】上記のように従来のフリップチップ接続型の半導体集積回路装置及びその製造方法では、製造工程の増加により製造コストが上昇したり、ハンダバンプの下部以外に露出したバリアメタル層をエッチングする際、ハンダバンプの表面がエッチングされたり、ハンダバンプ下のバリアメタル層がサイドエッチングされて信頼性が低下するという問題が生ずる。

【0008】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、ベアチップと配線基板とのフリップチップ接続を低コストで実現でき、

且つチップと配線基板との接続不良を防止できるフリップチップ接続型の半導体集積回路装置及びその製造方法を提供することである。

【0009】

【課題を解決するための手段】この発明の請求項1に記載した半導体集積回路装置は、集積回路チップと、この集積回路チップ上に形成されたI/Oパッドと、上記集積回路チップ上及び上記I/Oパッド上に形成され、上記I/Oパッド上に第1の開口部を有する第1の絶縁膜と、上記第1の絶縁膜上に形成され、上記第1の開口部を介して上記I/Oパッドと電気的に接続される導電層と、この導電層上に形成され、上記導電層と同じパターンを有するハンダボール位置規定金属層またはバリアメタル層と、上記ハンダボール位置規定金属層またはバリアメタル層上及び上記第1の絶縁膜上に形成され、上記ハンダボール位置規定金属層またはバリアメタル層上の上記第1の開口部と異なる位置に第2の開口部を有する第2の絶縁膜と、上記第2の開口部内の上記ハンダボール位置規定金属層またはバリアメタル層上に形成されたハンダバンプまたは金属パッドとを具備し、上記ハンダバンプまたは金属パッドの位置を上記第2の開口部で規定することを特徴としている。

【0010】このような構成によれば、元来の集積回路チップのI/Oパッドとは別の位置に、フリップチップ接続のためのI/Oパッドを再配置して設けるので、接続パッドピッチを大きくして隣接パッド間のバンプのショートを防止するとともに、配線基板を低コスト化できる。また、ハンダバンプまたは金属パッドの位置をハンダボール位置規定金属層あるいはバリアメタルによって規定する代わりに、第2の絶縁膜に形成した第2の開口部によって規定するので、高精度に設定できる。

【0011】また、請求項2に記載したこの発明の半導体集積回路装置は、集積回路チップと、この集積回路チップ上に形成されたI/Oパッドと、上記集積回路チップ上及び上記I/Oパッド上に形成され、上記I/Oパッド上に第1の開口部を有する第1の絶縁膜と、上記第1の絶縁膜上に形成され、上記第1の開口部を介して上記I/Oパッドと電気的に接続される導電層と、この導電層上に形成され、上記導電層と同じパターンを有するハンダボール位置規定金属層またはバリアメタル層と、上記ハンダボール位置規定金属層またはバリアメタル層上に形成され、上記導電層及びハンダボール位置規定金属層またはバリアメタル層と同じパターンを有し、上記ハンダボール位置規定金属層またはバリアメタル層上の上記第1の開口部と異なる位置に第2の開口部を備えた第2の絶縁膜と、上記第2の開口部内の上記ハンダボール位置規定金属層またはバリアメタル層上に形成されたハンダバンプまたは金属パッドとを具備し、上記ハンダバンプまたは金属パッドの位置を上記第2の開口部で規定することを特徴とする。

【0012】上記構成によれば、元来の集積回路チップのI/Oパッドとは別の位置に、フリップチップ接続のためのI/Oパッドを再配置して設けるので、接続パッドピッチを大きくして隣接パッド間のパンプのショートを防止するとともに、配線基板を低コスト化できる。また、ハンダバンプまたは金属パッドの位置をハンダボール位置規定金属層あるいはバリアメタルによって規定する代わりに、第2の絶縁膜に形成した第2の開口部によって規定するので、高精度に設定できる。

【0013】この発明の請求項3に記載した半導体集積回路装置の製造方法は、集積回路チップを形成する工程と、この集積回路チップ上にI/Oパッドを形成する工程と、上記集積回路チップ上及び上記I/Oパッド上に第1の絶縁膜を形成する工程と、上記第1の絶縁膜における上記I/Oパッド上に第1の開口部を形成する工程と、上記第1の絶縁膜上及び上記開口部内に導電層を形成する工程と、上記導電層上にハンダボール位置規定金属層またはバリアメタル層を形成する工程と、上記ハンダボール位置規定金属層またはバリアメタル層と上記導電層を同一のマスクを用いてパターニングする工程と、上記ハンダボール位置規定金属層またはバリアメタル層上及び上記第1の絶縁膜上に第2の絶縁膜を形成する工程と、上記第2の絶縁膜の上記第1の開口部と異なる位置に第2の開口部を形成し、上記ハンダボール位置規定金属層またはバリアメタル層を露出させる工程と、上記第2の開口部内の上記ハンダボール位置規定金属層またはバリアメタル層上にハンダバンプまたは金属パッドを形成する工程とを具備することを特徴としている。

【0014】このような製造方法によれば、ハンダボール位置規定金属層またはバリアメタル層と導電層を同一のマスクを用いてパターニングするので、PEP工程を削減して低コスト化できる。また、ハンダボール位置規定金属層あるいはバリアメタル層をエッチングする際には、ハンダバンプや金属パッドは形成されていないので、これらがエッチングされて腐食することはない。ハンダボール位置規定金属層あるいはバリアメタル層のハンダバンプ下あるいは金属パッド下の領域がサイドエッチングされ、接続の信頼性が低下することもない。

【0015】更に、請求項4に記載したこの発明の半導体集積回路装置は、集積回路チップを形成する工程と、この集積回路チップ上にI/Oパッドを形成する工程と、上記集積回路チップ上及び上記I/Oパッド上に第1の絶縁膜を形成する工程と、上記第1の絶縁膜における上記I/Oパッド上に第1の開口部を形成する工程と、上記第1の絶縁膜上及び上記開口部内に導電層を形成する工程と、上記導電層上にハンダボール位置規定金属層またはバリアメタル層を形成する工程と、上記ハンダボール位置規定金属層またはバリアメタル層上に第2の絶縁膜を形成する工程と、上記第2の絶縁膜、ハンダボール位置規定金属層またはバリアメタル層、及び上記

導電層を同一のマスクを用いてパターニングする工程と、上記第2の絶縁膜の上記第1の開口部と異なる位置に第2の開口部を形成し、上記ハンダボール位置規定金属層またはバリアメタル層を露出させる工程と、上記第2の開口部内の上記ハンダボール位置規定金属層またはバリアメタル層上にハンダバンプまたは金属パッドを形成する工程とを具備することを特徴とする。

【0016】上記製造方法によれば、第2の絶縁膜、ハンダボール位置規定金属層またはバリアメタル層、及び導電層を同一のマスクを用いてパターニングするので、PEP工程を削減して低コスト化できる。また、ハンダボール位置規定金属層あるいはバリアメタル層をエッチングする際には、ハンダバンプや金属パッドは形成されていないので、これらがエッチングされて腐食することはない。ハンダボール位置規定金属層あるいはバリアメタル層のハンダバンプ下あるいは金属パッド下の領域がサイドエッチングされ、接続の信頼性が低下することもない。

【0017】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1ないし図3はそれぞれ、この発明の第1の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、図1は集積回路チップにおけるハンダバンプ形成面側の平面図、図2は上記図1における一つのハンダバンプ部、引き出し配線部及びI/Oパッド部に着目し拡大して示す平面図、図3は上記図2の4-4線に沿った断面構成図である。

【0018】図1に示す集積回路チップ11中には、各種の半導体素子が形成されている。周辺部のハンダバンプ17は、集積回路チップ11の上層に形成された引き出し用の配線21を介してI/Oパッド12と1対1に接続され、元来の集積回路チップ11のI/Oパッドとは別の位置にフリップチップ接続のためのI/Oパッド(ハンダバンプ17)が再配置して設けられている。この周辺部のハンダバンプ17下の集積回路チップ11中には、 α 線や α 粒子の影響を受け易い回路、例えばDRAMのメモセル部、及びフローティング状態のノードを有するロジック回路等のダイナミック型の回路が設けられている。中央部のハンダバンプ17は、内部回路の電源端子や電源線に接続され、これらのハンダバンプ17を介して複数箇所から電源を与えることにより電源ノイズを低減するようになっている。

【0019】各々のハンダバンプ部、引き出し配線部及びI/Oパッド部は、図2及び図3に示す如く構成されている。集積回路チップ11上には、厚さが0.8~1 μ mのアルミニウム(A1)層やA1合金層等からなるI/Oパッド12が設けられている。上記集積回路チップ11上及びI/Oパッド12上には、シリコン酸化膜またはシリコン窒化膜で形成された厚さが1~2 μ mの

パッシベーション膜13が形成され、このパッシベーション膜13のI/Oパッド12上に対応する部分に開口部13Aが形成されている。上記I/Oパッド12上及びパッシベーション膜13上には、配線21が形成されている。この配線21は、Al、Al合金及び銅(Cu)の少なくともいずれか1つを含む材料で形成された厚さ1~2 μ mの導電層14と、クロム(Cr)、Cu、ニッケル(Ni)及びチタン(Ti)の少なくともいずれか1つを含む材料で形成され、拡散による金属間化合物の生成を防止、接着強度の向上、並びに良好な電氣的接触を得るための厚さ0.5~1 μ mのバリアメタル層16とが積層されて形成されている。上記導電層14とバリアメタル層16は、単一のマスクを用いた同一のパターンによるエッチング工程でパターンニングされ、一体構造をなしている。I/Oパッド12とハンダバンプ17は、上記配線21を介して1対1で結線されている。この配線21及び上記パッシベーション膜13上には、厚さが数 μ m~20 μ mの絶縁膜15が形成されている。この絶縁膜15の材料としては、例えばシリコン酸化膜、シリコン窒化膜、あるいはポリイミド膜等があげられる。上記絶縁膜15は上記パッシベーション膜13の開孔部13Aと異なる位置に開口部15Aを有し、この開口部15A内に露出したバリアメタル層16に接して直径が50~100 μ m程度のハンダバンプ17が形成されている。このハンダバンプ17の平面的な位置は、絶縁膜15の開口部15Aによって規定される。

【0020】このような構成によれば、元来の集積回路チップ11のI/Oパッド12とは別の位置に、フリップチップ接続のためのI/Oパッド(ハンダバンプ17)を再配置して設けるので、ハンダバンプ17間のピッチを大きくして隣接するバンプ17のショートを防止することができる。また、配線基板側のパッドのピッチが広くても済み、且つ高い精度も要求されないので配線基板を低コスト化できる。更に、ハンダバンプ17は、ハンダボール位置規定金属層やバリアメタル層16によって位置を規定する代わりに、絶縁膜15に形成した開口部15Aによって位置を規定するので、高精度な位置合わせが可能である。

【0021】なお、上記第1の実施の形態では、バリアメタル層16が1層の場合を例に取って説明したが、図4に示すように、Cr、Cu、Ni及びTiの少なくともいずれか1つの材料を含む金属層16-1に、プラチナ(Pt)、Au及びパラジウム(Pd)の少なくともいずれか1つの材料を含む金属層16-2を積層した2層構造のバリアメタル層であっても同様な作用効果が得られる。更に、上記材料を組み合わせた3層以上の構造のバリアメタル層であっても良い。

【0022】また、図5に示すように、バリアメタル層16に代えてハンダボール位置規定金属層(BLM)23を設けても良い。上記ハンダボール位置規定金属層2

3としては、ハンダ濡れ性が高い金属、例えばAuやPd等が好適である。

【0023】図6は、この発明の第2の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、金属パッド部、引き出し配線部及びI/Oパッド部を示している。図3に示した半導体集積回路装置との相違は、ハンダバンプ17の代わりにフリップチップ接続用I/Oパッドとして電解メッキで形成した厚さ10~20 μ mの金属パッド18を設けている点である。上記金属パッド18としてはAu、Ni及びCu等が採用できる。

【0024】このように、ハンダバンプ17に代えて金属パッド18を設けても上記第1の実施の形態と同様な作用効果が得られるのは勿論である。なお、ハンダバンプ17に代えて金属パッド18を設ける場合にも、図7に示すようにバリアメタル層を2層の金属層16-1、16-2で形成しても良く(3層以上でも良い)、図8に示すようにバリアメタル層に代えて金属パッド位置規定金属層23'を設けても良いのはもちろんである。

【0025】図9(a)ないし(c)はそれぞれ、上記図3及び図6に示したフリップチップ接続型の半導体集積回路装置の製造工程を順次示している。まず、集積回路チップ11中に周知の製造工程により各種の半導体素子や回路(図示せず)を形成した後、この集積回路チップ11上にI/Oパッド12を形成する。次に、集積回路チップ11上及びI/Oパッド12上にCVD法等によりパッシベーション膜13を形成し、このパッシベーション膜13の上記I/Oパッド12上に対応する部分を選択的にウェットエッチングして開口部13Aを形成することによりI/Oパッド12の表面を露出させる。引き続き、上記I/Oパッド12上及びパッシベーション膜13上に、導電層14とバリアメタル層16を順次積層形成する(図9(a))。

【0026】その後、上記バリアメタル層16上にフォトレジスト19を塗布し、露光及び現像を行ってフォトレジスト19のパターンを形成する。このフォトレジスト19をマスクにしてバリアメタル層16と導電層14をエッチングすることにより、集積回路チップ11のI/Oパッド12とハンダバンプ17とを1対1で結線接続するための配線21を形成する(図9(b))。

【0027】次に、上記フォトレジスト19を除去し、配線21上及びパッシベーション膜13上の全面に例えばCVD法を用いて絶縁膜15を形成する。そして、フリップチップ接続用I/Oパッドを再配置して設けるために、絶縁膜15上にフォトレジスト20を塗布し、露光及び現像を行ってフォトレジスト20のパターンを形成する。このフォトレジスト20をマスクとして上記絶縁膜15をウェットエッチングすることによって、上記パッシベーション膜13に形成した開口部13Aとは別の位置に開口部15Aを形成し、バリアメタル層16の

表面を露出させる(図9(c))。

【0028】そして、上記フォトレジスト20を除去した後、バリアメタル層16の露出面上に、電解メッキとリフロー、あるいはハンダボール転写法やスクリーン印刷法等の手法でハンダバンプ17を形成すると図3に示したような構造が形成できる。

【0029】一方、バリアメタル層16の露出面上に、電解メッキでフリップチップ接続用I/Oパッドとしての金属パッド18を形成すると図6に示したような構造が得られる。

【0030】上記のような製造方法では、バリアメタル層16と導電層14を単一のマスクを用いて同一のパターンによるエッチング工程でパターンニングできるので、図17に示した構成を製造する場合に比してPEP工程が3回から2回に削減でき、低コスト化できる。しかも、バリアメタル層16のエッチングの際にはハンダバンプ17あるいは金属パッド18は形成されていないので、ハンダバンプ17や金属パッド18がエッチングされて腐食したり、ハンダバンプ17下または金属パッド18下のバリアメタル層16がサイドエッチングされて接続の信頼性が低下することもない。

【0031】なお、図4または図7に示した構造を形成する場合には、上記図9(a)に示した工程において、第1層目のバリアメタル層16-1を形成した後、このバリアメタル層16-1上に第2層目のバリアメタル層を積層形成すれば良い。以降の工程は図9(b)、

(c)と同様である。そして、図9(c)の工程の後にハンダバンプ17を形成すれば図4に示した構造が得られ、金属パッド18を形成すれば図7に示した構造となる。また、図5または図8に示した構造を形成する場合には、上記図9(a)に示した工程において、バリアメタル層16に代えてハンダボール位置規定金属層(BLM)23または金属パッド位置規定金属層23'を形成すれば良い。以降の製造工程は図9(b)、

(c)と同様である。そして、図9(c)の工程の後にハンダバンプ17を形成すれば図5に示した構造が得られ、金属パッド18を形成すれば図8に示した構造となる。

【0032】図10は、この発明の第3の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、ハンダバンプ部、引き出し配線部及びI/Oパッド部を示している。集積回路チップ11上にはI/Oパッド12が形成されている。上記集積回路チップ11上及び上記I/Oパッド12上には、I/Oパッド12上に対応する部分に開口部13Aを有するパッシベーション膜13が形成されている。上記I/Oパッド12及びパッシベーション膜13上には、引き出し用の配線部21'が形成されている。この配線部21'は、導電層14、バリアメタル層16及び絶縁膜15の順に積層形成されており、これら導電層14、バ

リアメタル層16及び絶縁膜15は単一のマスクで同一のパターンにパターンニングされて一体構造をなしている。集積回路チップ11のI/Oパッド12とハンダバンプ17とは、上記配線部21'によって1対1で結線接続されている。

【0033】このような構成であっても上記第1、第2の実施の形態と実質的に同じ作用効果が得られる。また、図4に示したようにバリアメタル層を2層以上の構造にしたり、図5に示したようにバリアメタル層に代えてハンダボール位置規定金属層(BLM)23を設けても良い。

【0034】図11は、この発明の第4の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、金属パッド部、引き出し配線部及びI/Oパッド部を示している。この第4の実施の形態は、上記第3の実施の形態におけるハンダバンプ17に代えて、金属パッド18を設けたものである。他の構成は図10に示した第3の実施の形態と同様である。よって、このような構成であっても上記第1ないし第3の実施の形態と実質的に同じ作用効果が得られる。また、図7に示したようにバリアメタル層を2層以上の構造にしたり、図8に示したようにバリアメタル層に代えて金属パッド位置規定金属層23'を設けても良い。

【0035】図12(a)ないし(d)はそれぞれ、上記図11に示したフリップチップ接続型の半導体集積回路装置の製造方法について説明するためのもので、製造工程を順次示している。まず、集積回路チップ11中に周知の製造工程により各種の半導体素子や回路(図示せず)を形成した後、この集積回路チップ11上にI/Oパッド12を形成する。上記集積回路チップ11及びI/Oパッド12上にCVD法等によりパッシベーション膜13を形成し、I/Oパッド12上に対応する部分に開口部13Aを形成する。次に、上記I/Oパッド12及びパッシベーション膜13上に、導電層14、バリアメタル層16、及び絶縁膜15を順次積層形成する(図12(a))。

【0036】フリップチップ接続用のI/Oパッドを再配置して設けるために、PEPによりフォトレジスト20のパターン形成を行い、このフォトレジスト20をマスクとして上記絶縁膜15をエッチングし、上記パッシベーション膜13に形成した開口部13Aと異なる位置に、フリップチップ接続用の金属パッドの位置を規定するための開口部15Aを形成する(図12(b))。

【0037】その後、上記フォトレジスト20を除去し、電解メッキで金属パッド18を形成する(図12(c))。この際、導電層14とバリアメタル層16が集積回路チップ11上の全面に形成され、電解メッキ用の電極に導電層14とバリアメタル層16の積層構造を使用することができるので、電解メッキを安定して行うことができる。

【0038】引き続き、PEPによるフォトレジスト22のパターン形成とこのフォトレジスト22をマスクとしたエッチングによって、集積回路チップ11のI/Oパッド12と金属パッド18とを1対1で結線接続するための配線部21'を形成する(図12(d))。そして、上記フォトレジスト22を除去することで図11に示した構造を得る。

【0039】なお、図12(c)に示した工程において、フリップチップ接続用の金属パッド18の代わりにハンダバンプ17を電解メッキとリフロー、ハンダボール転写、あるいはスクリーン印刷法等の手法で形成すれば図10に示した構造が形成できる。

【0040】このような製造方法によれば、PEP工程が従来の3回から2回に削減できるため、従来の製造方法よりも工程が短くて済み、低コスト化が可能となる。また、バリアメタル層16のエッチングの際に、ハンダバンプ17あるいは金属パッド18がエッチングされて腐食したり、ハンダバンプ17下あるいは金属パッド18下のバリアメタル層16がサイドエッチングされて信頼性が低下することもない。更に、ハンダバンプ17は、従来のようなハンダボール位置規定金属層やバリアメタル層によって位置を規定する代わりに、絶縁膜15に形成した開口部15Aによって位置を規定するので高精度な位置合わせが可能である。

【0041】なお、図10に示した構成において、図4と同様にバリアメタル層を2層以上の構造で形成しても良く、図5のようにバリアメタル層に代えてハンダボール位置規定金属層23を設けても良いのはもちろんである。同様に、図11に示した構成において、図7と同様にバリアメタル層を2層以上の構造で形成しても良く、図8のようにバリアメタル層に代えて金属パッド位置規定金属層23'を設けても良い。

【0042】図13ないし図16はそれぞれ、この発明の第5の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのものである。図13は、上記図3におけるバリアメタル層16上に、ハンダバンプ17中の α 粒子や α 線が集積回路チップ11中の半導体素子に到達するのを遮断するためのバリアメタル層24を設けたものである。図14は、上記図10におけるバリアメタル層16上に、ハンダバンプ17中の α 粒子や α 線が集積回路チップ11中の半導体素子に到達するのを遮断するためのバリアメタル層24を設けたものである。図15は、上記図13におけるバリアメタル層24を導電層14とバリアメタル層16との間に介在させたものである。同様に図16は、上記図14におけるバリアメタル層24を導電層14とバリアメタル層16との間に介在させたものである。

【0043】上記バリアメタル層24としては、重金属、例えばAuやPt等が好適である。このような構成によれば、バリアメタル層24によってハンダバンプ1

7中の α 粒子や α 線が集積回路チップ11中の半導体素子に到達するのを阻止できるので、この配線層21あるいは21'下の集積回路チップ11中に α 線や α 粒子の影響を受け易い回路、例えばDRAMのメモリセル部、及びフローティング状態のノードを有するロジック回路等のダイナミック型の回路を設けることで、ハンダバンプ17による α 線や α 粒子の影響を抑制できる。

【0044】なお、図13及び図14に示した構造と図15及び図16に示した構造のいずれを選択するかは、バリアメタル層16と24の材料、これらの材料のハンダ濡れ性、ハンダバンプとの接着強度及び電気的な接触特性等を考慮して選択すれば良い。

【0045】

【発明の効果】以上説明したように、この発明によれば、ベアチップと配線基板とのフリップチップ接続を低コストで実現でき、且つチップと配線基板との接続不良を防止できるフリップチップ接続型の半導体集積回路装置及びその製造方法が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、集積回路チップにおけるハンダバンプ形成面側の平面図。

【図2】図1における一つのハンダバンプ部、引き出し配線部及びI/Oパッド部に着目し拡大して示す平面図。

【図3】図2の4-4線に沿った断面図。

【図4】図2の4-4線に沿った他の構成例を示す断面図。

【図5】図2の4-4線に沿った更に他の構成例を示す断面図。

【図6】この発明の第2の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、金属パッド部、引き出し配線部及びI/Oパッド部の断面図。

【図7】図6の他の構成例を示す断面図。

【図8】図6の更に他の構成例を示す断面図。

【図9】図3及び図6に示したフリップチップ接続型の半導体集積回路装置の製造工程を順次示す断面図。

【図10】この発明の第3の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、ハンダバンプ部、引き出し配線部及びI/Oパッド部を示す断面図。

【図11】この発明の第4の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、金属パッド部、引き出し配線部及びI/Oパッド部を示す断面図。

【図12】図11に示したフリップチップ接続型の半導体集積回路装置の製造方法について説明するためのもので、製造工程を順次示す断面図。

13

【図13】この発明の第5の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、ハンダバンプ部、引き出し配線部及びI/Oパッド部の構成例を示す断面図。

【図14】この発明の第5の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、ハンダバンプ部、引き出し配線部及びI/Oパッド部の他の構成例を示す断面図。

【図15】この発明の第5の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、ハンダバンプ部、引き出し配線部及びI/Oパッド部の更に他の構成例を示す断面図。

【図16】この発明の第5の実施の形態に係るフリップチップ接続型の半導体集積回路装置について説明するためのもので、ハンダバンプ部、引き出し配線部及びI/O

14

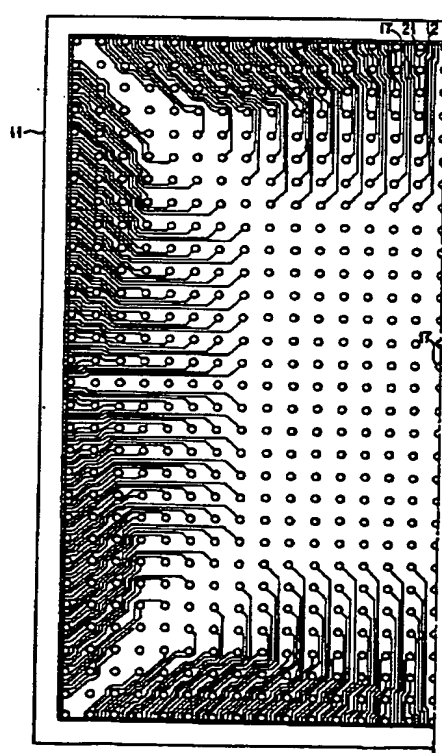
Oパッド部の別の構成例を示す断面図。

【図17】従来のフリップチップ接続型の半導体集積回路装置及びその製造方法について説明するためのもので、I/Oパッド近傍の構造を抽出して示す断面図。

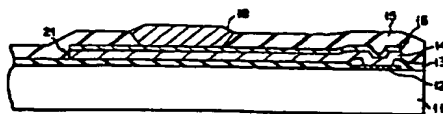
【符号の説明】

11…集積回路チップ、12…I/Oパッド、13…パッシベーション膜（第1の絶縁膜）、13A…第1の開口部、14…導電層、15…絶縁膜（第2の絶縁膜）、15A…第2の開口部、16…バリアメタル層、16-1、16-2…金属層、17…ハンダバンプ、18…金属パッド、19、20、22…フォトリソ、21…配線、21'…配線部、23…ハンダボール位置規定金属層、23'…金属パッド位置規定金属層、24…バリアメタル層。

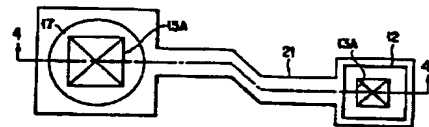
【図1】



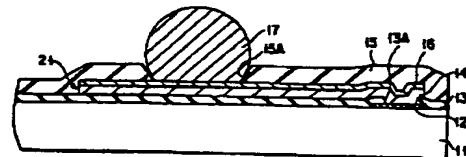
【図6】



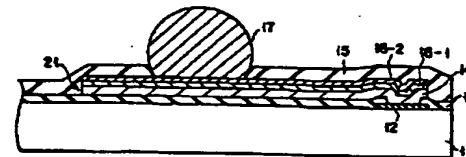
【図2】



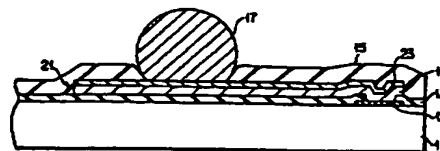
【図3】



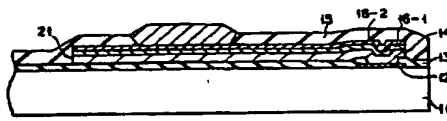
【図4】



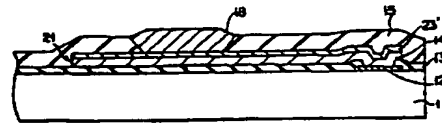
【図5】



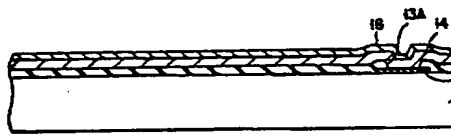
【図 7】



【図 8】

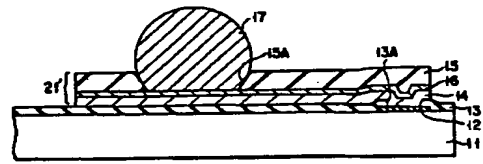


【図 9】

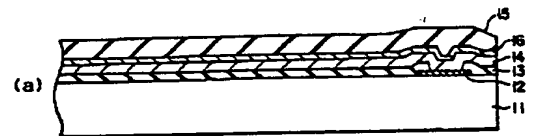


(a)

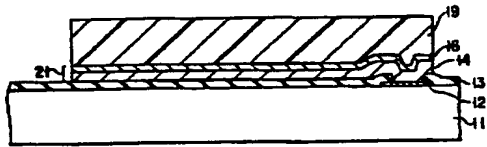
【図 10】



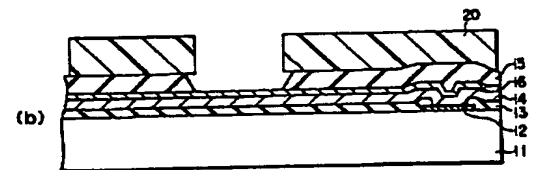
【図 12】



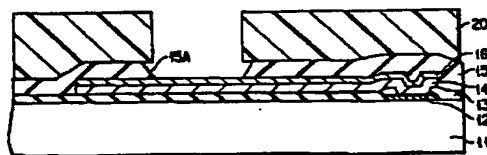
(a)



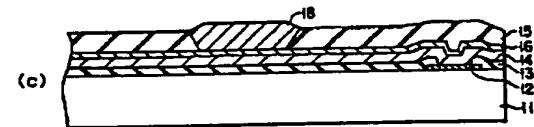
(b)



(b)

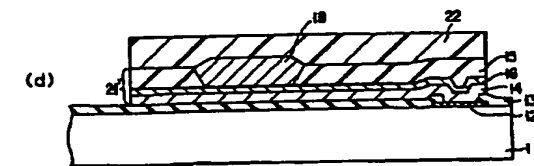
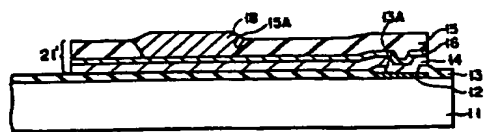


(c)



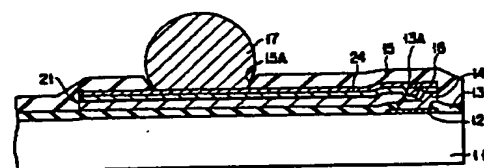
(c)

【図 11】

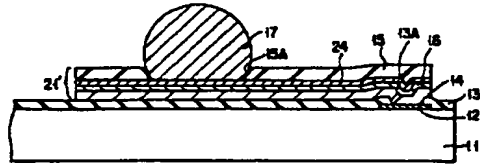


(d)

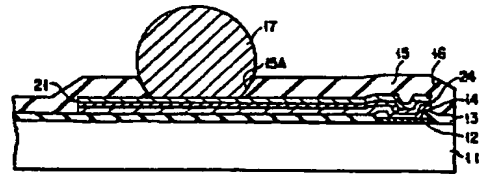
【図 13】



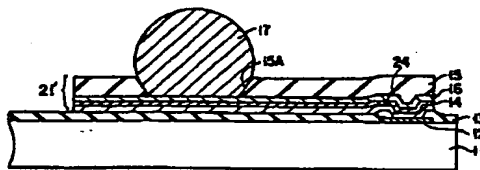
【図14】



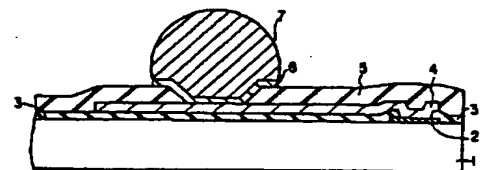
【図15】



【図16】



【図17】



フロントページの続き

- (72) 発明者 田沢 浩
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
- (72) 発明者 土井 一英
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
- (72) 発明者 平野 尚彦
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

- (72) 発明者 田窪 知章
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
- (72) 発明者 細美 英一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
- (72) 発明者 柴崎 康司
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内